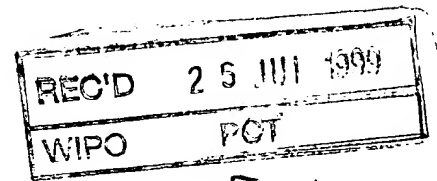


JP99/03662

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



E U

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 8 年 9 月 2 日

出 願 番 号  
Application Number:

平成 1 0 年 特 許 願 第 2 4 7 6 7 2 号

出 願 人  
Applicant (s):

日 本 電 気 株 式 会 社

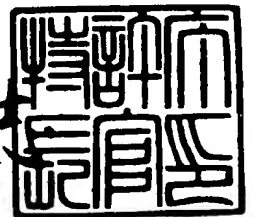
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

1 9 9 9 年 6 月 4 日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴 佐 山 建 志



出 証 番 号 出 証 特 平 1 1 - 3 0 3 6 6 2 7

【書類名】 特許願

【整理番号】 33509231

【提出日】 平成10年 9月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08

【発明の名称】 時分割多重伝送システム及びそれに用いるチャネル識別方式

【請求項の数】 6

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 石川 肇

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088812

    【弁理士】

    【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

    【予納台帳番号】 030982

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 時分割多重伝送システム及びそれに用いるチャンネル識別方式

【特許請求の範囲】

【請求項 1】 少なくとも 1 つが非同期転送モードのセルベースフローを収容する複数のチャンネルを時分割多重して伝送する時分割多重伝送システムであって、前記セルベースフローを収容したチャンネルのセルヘッダに予め設定されかつ伝送データの誤り検出訂正のための情報を示す H E C バイトを固有の形に変形して基準チャンネル信号に変換するチャンネル識別子付加手段と、前記基準チャンネル信号を含む各チャンネル信号を時分割多重して時分割多重伝送信号を生成して出力する多重化手段とを送信装置に有し、

前記送信装置から送信されてくる前記時分割多重伝送信号を時分割分離する分離手段と、前記分離手段で時分割分離されて生成される複数のチャンネル信号から前記 H E C バイトを持つ基準チャンネル信号を検出する基準チャンネル検出手段とを受信装置に有することを特徴とする時分割多重伝送システム。

【請求項 2】 前記チャンネル識別子付加手段は、前記 H E C バイトを基に前記チャンネルの同期をとる同期手段と、前記 H E C バイトに前記固有のビットパターンをモジュロ 2 加算するモジュロ 2 加算手段とを含むことを特徴とする請求項 1 記載の時分割多重伝送システム。

【請求項 3】 前記基準チャンネル検出手段は、前記 H E C バイトの位置に前記固有のビットパターンをモジュロ 2 加算して巡回冗長検査演算を行うモジュロ 2 加算 C R C 演算手段を含むことを特徴とする請求項 2 記載の時分割多重伝送システム。

【請求項 4】 少なくとも 1 つが非同期転送モードのセルベースフローを収容する複数のチャンネルを時分割多重して伝送する時分割多重伝送システムのチャンネル識別方式であって、前記セルベースフローを収容したチャンネルのセルヘッダに予め設定されかつ伝送データの誤り検出訂正のための情報を示す H E C バイトを送信側で固有の形に変形して基準チャンネルを設定し、受信側で前記固有の形に変形された前記 H E C バイトを持つ前記基準チャンネルを検出するようにしたこと

を特徴とするチャネル識別方式。

【請求項 5】 前記送信側で前記 HEC バイトに対して固有のビットパターンをモジュロ 2 加算するようにしたことを特徴とする請求項 4 記載のチャネル識別方式。

【請求項 6】 前記受信側で前記セル同期の際に前記固有のビットパターンをモジュロ 2 加算された HEC バイトに対してセル同期をとることで前記基準チャネルを識別するようにしたことを特徴とする請求項 5 記載のチャネル識別方式。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は時分割多重伝送システム及びそれに用いるチャネル識別方式に関し、特に時分割多重された複数のチャネルを個々に識別するためのチャネル識別方式に関する。

##### 【0002】

##### 【従来技術】

従来、この種のチャネル識別方式としては、チャネル毎に CRC (Cyclic Redundancy Check: 巡回冗長検査) 演算を行い、演算結果を冗長ビットとしてデータに付加する方法がある。

##### 【0003】

この場合、CRC 演算を行う際の生成多項式としては、他のチャネルとは異なるものを用いることによって基準チャネルを設定し、受信側でこの生成多項式の違いを検出することによって基準チャネルを識別している。

##### 【0004】

すなわち、図 8 に示すように、多重化信号送信回路 70 において、チャネル信号送信回路 71-1 ~ 71-m 各々の CRC コード挿入回路 73-1 ~ 73-m で送信信号に付加される CRC チェックビットを計算する CRC 演算回路 72-1 ~ 72-m のうち、例えば CRC 演算回路 72-1 だけは他チャネルとは異なる生成多項式を用いるようにしている。

## 【0005】

多重化回路74はCRCコード挿入回路73-1~73-mで夫々CRCチェックビットが付加された全チャネルの送信信号を時分割多重化して多重化信号を生成し、その多重化信号を伝送路90を通して多重化信号受信回路80に送信する。

## 【0006】

多重化信号を受信する多重化信号受信回路80のフレーム検出回路81ではチャネル信号送信回路71-1と同じ生成多項式を用いてCRC演算を任意のフレーム位相で行い、その演算結果が多重化信号の中のビットパターンと一致するようなフレーム位相となるまで、演算する位相を変えながらフレーム同期位相を検出する。このフレーム検出回路81はフレーム同期カウンタ回路82及びCRCコード分離回路83からなる。

## 【0007】

分離回路84はフレーム検出回路81で検出されたフレーム同期位相にしたがって多重化信号からデータを分離し、その分離したデータをチャネル信号受信回路85-1~85-mに送出する。チャネル信号受信回路85-1~85-mはCRC演算回路86-1~86-m及びCRCコード挿入回路87-1~87-mからなる。上記のチャネル識別方式については、特開平7-177136号公報に記載されている。

## 【0008】

## 【発明が解決しようとする課題】

上述した従来のチャネル識別方式では、チャネル識別のためにCRC演算結果をデータ中に挿入しなければならない。このため、送信データにチャネル識別のための冗長な領域を付加しなければならず、伝送容量の増大をもたらすという問題がある。

## 【0009】

但し、基準チャネルがATM (Asynchronous Transfer Mode: 非同期転送モード) セルベースフローの場合、ATMセルのヘッダ内にCRC演算結果を挿入する領域 [HEC (Header Error Co

ntrol) バイト] があるため、チャネル識別のための冗長な領域が必要なくなる。

#### 【0010】

しかしながら、ATMにおけるCRC演算の生成多項式は標準仕様が規定されており、上記の従来例を適応した場合にはこの仕様からはずれる点が問題となる。また、標準仕様と異なった生成多項式を用いた場合、誤り検出時のHamming (ハミング) 距離等が変わるため、信号の品質にも重大な影響をもたらす結果になる。

#### 【0011】

尚、ATMセルベースフローは加入者系の通信システムであるATM-PON (Passive Optical Network) システム等で採用されており、今後、特に加入者系への展開が見込まれている。

#### 【0012】

そこで、本発明の目的は上記の問題点を解消し、新たな冗長領域を付加することなくかつチャネルに収容されるATMセルベースフローの仕様に重大な変更をもたらすことのないチャネル識別機能を実現することができる時分割多重伝送システム及びそれに用いるチャネル識別方式を提供することにある。

#### 【0013】

##### 【課題を解決するための手段】

本発明による時分割多重伝送システムは、少なくとも1つが非同期転送モードのセルベースフローを収容する複数のチャネルを時分割多重して伝送する時分割多重伝送システムであって、前記セルベースフローを収容したチャネルのセルヘッダに予め設定されかつ伝送データの誤り検出訂正のための情報を示すHECバイトを固有の形に変形して基準チャネル信号に変換するチャネル識別子付加手段と、前記基準チャネル信号を含む各チャネル信号を時分割多重して時分割多重伝送信号を生成して出力する多重化手段とを送信装置に備え、

前記送信装置から送信されてくる前記時分割多重伝送信号を時分割分離する分離手段と、前記分離手段で時分割分離されて生成される複数のチャネル信号から前記HECバイトを持つ基準チャネル信号を検出する基準チャネル検出手段とを

受信装置に備えている。

【0014】

本発明による時分割多重伝送システムのチャネル識別方式は、少なくとも1つが非同期転送モードのセルベースフローを収容する複数のチャネルを時分割多重して伝送する時分割多重伝送システムのチャネル識別方式であって、前記セルベースフローを収容したチャネルのセルヘッダに予め設定されかつ伝送データの誤り検出訂正のための情報を示すHECバイトを送信側で固有の形に変形して基準チャネルを設定し、受信側で前記固有の形に変形された前記HECバイトを持つ前記基準チャネルを検出するようにしている。

【0015】

すなわち、本発明のチャネル識別方式は、複数のチャネルを時分割多重して伝送する時分割多重伝送システムにおいて、複数のチャネルのうちの少なくとも1つがATM (Asynchronous Transfer Mode: 非同期転送モード) セルベースフローを収容し、該ATMセルベースフロー中のATMセルヘッダ内のHEC (Header Error Control: ヘッダ誤り制御) バイト [CRC (Cyclic Redundancy Check: 巡回冗長検査) 演算結果挿入バイト] を送信側で固有の形に変形することによって基準チャネルを設定し、受信側でその固有の形に変形されたATMセルを検出することによって該基準チャネルを識別している。

【0016】

具体的には、本発明のチャネル識別方式は、送信側ではATMセルヘッダ内のHECバイトに対して固有のビットパターンをモジュロ2加算し、受信側ではATMセル同期の際に該固有のビットパターンをモジュロ2加算されたHECバイトに対してATMセル同期をとることで基準チャネルを識別している。

【0017】

上記のチャネル識別方式を用いる時分割多重伝送システムは、複数のチャネルを時分割多重して伝送する時分割多重伝送システムにおいて、複数のチャネルのうち少なくとも1つがATMセルベースフローを収容し、該ATMセルベースフローを収容したチャネルのATMセルヘッダのHECバイトを固有の形に変形し

て基準チャンネル信号に変換するチャンネル識別子付加回路と、該基準チャンネル信号を含む各チャンネル信号を入力して時分割多重して時分割多重伝送信号として出力する多重化回路とを送信装置に有し、該送信装置から送信された時分割多重伝送信号を時分割分離する分離回路と、該分離回路から出力される複数のチャンネル信号のうちの1つを入力して固有の形に変形されたHECバイトの有無を検出することによって基準チャンネルを検出する基準チャンネル検出回路を受信装置に少なくとも1つ有している。

## 【0018】

チャンネル識別子付加回路はチャンネル信号を入力してATMセルヘッダのHECバイト位置に基準チャンネル固有のビットパターンをモジュロ2加算してCRC演算を実行している。

## 【0019】

基準チャンネル検出回路はチャンネル信号を入力してATMセルヘッダのHECバイト位置に基準チャンネル固有のビットパターンをモジュロ2加算してCRC演算を実行している。

## 【0020】

上記のような構成をとり、ATMセルヘッダ内のHECバイトに対して固有のビットパターンをモジュロ2加算することで特定のATMセルベースフローの識別を可能にしている。

## 【0021】

したがって、複数のATMセルベースフローを各々チャンネルに収容して伝送する場合、あるいはATMセルベースフローに加えて他のフォーマットを使用した信号を収容して伝送する場合でも、ある特定のATMセルベースフローのHECバイトを上記の方法に従って変形することによって、これを基準チャンネルとすることができる。受信側ではこの基準チャンネルを容易に識別可能となり、さらに基準チャンネルとの位相差から他のチャンネルを識別することが可能となる。

## 【0022】

また、全てのチャンネルにATMセルベースフローを収容する場合には、HECバイトにモジュロ2加算する固有のビットパターンをチャンネル毎に独立のものと



すれば、個々にチャネルを識別することが可能となる。

【0023】

よって、新たな冗長領域を付加する必要がなくなるとともに、ATMセルベースフローの伝送方式の標準仕様に準拠して基準チャネルの識別が可能となる。したがって、装置を構成する場合でも標準品の採用が可能となり、低コストな装置が構築可能となる。

【0024】

【発明の実施の形態】

次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例による時分割多重伝送システムの構成を示すブロック図である。図において、本発明の一実施例による時分割多重伝送システムはチャネル識別子付加回路2及び多重化回路3を含む送信装置1と、チャネル識別回路5を含む受信装置4とから構成されている。

【0025】

これら送信装置1と受信装置4との間を接続する大容量回線は2.5Gbpsの伝送容量を持ち、各々622Mbpsの伝送容量のチャネルが4つ時分割多重された構成をとっている。各チャネルに収容される第1～第4のチャネル信号101～104はいずれもATM (Asynchronous Transfer Mode: 非同期転送モード) セルベースフローである。

【0026】

これらチャネル信号のうちの第1のチャネル信号101はチャネル識別子付加回路2に入力され、チャネル識別子付加回路2でATMセルヘッダのHEC (Header Error Control: ヘッダ誤り制御) バイト部分に固有のビットパターンがモジュロ2加算されて基準チャネル信号105となる。

【0027】

基準チャネル信号105は第2～第4のチャネル信号102～104とともに多重化回路3に入力される。多重化回路3では入力された第2～第4のチャネル信号102～104及び基準チャネル信号105を時分割ビット多重して時分割多重伝送信号110として送出する。

【0028】

一方、受信装置4では送信装置1から送信されてきた時分割多重伝送信号110をチャンネル識別回路5に入力し、チャンネル識別回路5で時分割ビット分離することによって各チャンネル信号を取出す。チャンネル識別回路5はさらに4つのチャンネル信号の中から基準チャンネル信号105を検出し、基準チャンネル信号105との時分割多重伝送信号110内での位相差から全てのチャンネル信号を識別する。個々に識別されたチャンネル信号はその全てまたはその一部がチャンネル識別回路5から終端回路6～9に出力される。

【0029】

終端回路6～9は各々対応するチャンネル信号を終端する。尚、基準チャンネル信号105についてはチャンネル識別回路5内で第1のチャンネル信号101に再変換された後に出力される。

【0030】

図2は図1の第1～第4のチャンネル信号101～104の構成を示す図であり、図3は図1の基準チャンネル信号105の構成を示す図である。これら図2及び図3を参照して送信装置1内のチャンネル識別子付加回路2におけるチャンネル識別子付加方法について説明する。

【0031】

チャンネル信号101はATMセルが連結したセルベースのフローである。ATMセル20は5バイトのATMセルヘッダ21と、48バイトのペイロード22とからなる固定長のフォーマットを持ち、ATMセルヘッダ21にはコネクションを表すVCI (Virtual Channel Identifier) / VPI (Virtual Path Identifier) 等の領域が確保されている。

【0032】

このATMセルヘッダ21を保護するためのCRC (Cyclic Redundancy Check: 巡回冗長検査) 演算の結果が、ATMセルヘッダ21の5バイト目のHECバイト23に記述されている。

【0033】

A T Mセルベースフロー上でのA T Mセル同期は、53バイト周期でC R C演算が成り立つ位相をH E Cバイト23と判断することで行っている。また、A T Mセルベースフローには受信側での同期クロックの抽出を容易にするためにスクランブルがかけられている。

#### 【0034】

このスクランブル同期用にH E Cバイト23の上位2ビット（H E C 8ビット28、H E C 7ビット27）が使用されているため、実際にはH E Cバイト23の下位6ビット（H E C 6～H E C 1ビット26）でC R C演算を行ってA T Mセル同期をとっている。

#### 【0035】

チャンネル識別子付加回路2ではC R C演算によってA T Mセル同期をとった後、H E C 6～H E C 1ビット26に固有ビットパターン24をモジュロ2加算し、基準チャンネル信号105に変換する（図3参照）。本実施例では固有ビットパターン24として“101010”の6ビットの固定ビットパターンを用いている。

#### 【0036】

受信側ではH E C 6～H E C 1ビット26に固有ビットパターン24（“101010”）をモジュロ2加算した後にC R C演算を行い、A T Mセル同期をとる。この操作によって基準チャンネル信号105に対してはA T Mセル同期がとれる。

#### 【0037】

一方、第2～第4チャンネル信号102～104に対してはH E C 6～H E C 1ビット26が変形されているので、上記の操作ではA T Mセル同期がとれない。したがって、基準チャンネル信号105と第2～第4チャンネル信号102～104とを容易に区別することができる。また、第2～第4チャンネル信号102～104がA T Mセルベースフロー以外のものである場合も、A T Mセル同期が成立しないため、基準チャンネル信号105と区別することが可能である。

#### 【0038】

図4は図1のチャンネル識別子付加回路2の構成を示すブロック図である。図に

において、チャネル識別子付加回路2はATMセル同期回路31と、モジュロ2加算回路32とを備えている。

#### 【0039】

チャネル識別子付加回路2に入力された第1のチャネル信号101は2つに分岐され、ATMセル同期回路31及びモジュロ2加算回路32に夫々入力される。ATMセル同期回路31はチャネル信号101のATMセルベースフローにATMセル同期をかけた後、HECバイト23に同期したHECバイトタイミング信号121をモジュロ2加算回路32に出力する。

#### 【0040】

モジュロ2加算回路32ではHECバイトタイミング信号121のタイミングにしたがってHECバイト23のHEC6～HEC1ビット26に固有ビットパターン24をモジュロ2加算する。したがって、モジュロ2加算回路32の出力は基準チャネル信号105となり、チャネル識別子付加回路2から出力される。

#### 【0041】

図5は図1のチャネル識別回路5の構成を示すブロック図である。図において、チャネル識別回路5はビットローテート機能付き分離回路51と、基準チャネル検出回路52とを備えている。

#### 【0042】

チャネル識別回路5に入力された時分割多重伝送信号110はビットローテート機能付き分離回路51に入力され、4つのチャネル信号に分離される。ビットローテート機能付き分離回路51の4つの出力ポート51a～51dのうちの第1の出力ポート51aには基準チャネル検出回路52が接続されている。

#### 【0043】

基準チャネル検出回路52は入力されたチャネル信号についてHEC6～HEC1ビット26に固有ビットパターン24をモジュロ2加算するCRC演算を行い、ATMセル同期をかける。

#### 【0044】

基準チャネル検出回路52は一定時間以上ATMセル同期がとれなかった場合、入力されるチャネル信号を切替えるためにビットローテート信号151をビッ

トローテート機能付き分離回路 51 に出力する。ビットローテート信号 151 はビットローテート機能付き分離回路 51 に入力され、ビットローテート機能付き分離回路 51 のビットローテート機能（チャンネル信号のビットをローテーションさせる機能）を動作させる。

#### 【0045】

このビットローテート機能によって、ビットローテート機能付き分離回路 51 の各出力ポート 51a～51d から出力されるチャンネル信号はインクリメントあるいはデクリメントされる。このように、基準チャンネル検出回路 52 は固有ビットパターン 24 をモジュロ 2 加算した信号に対して、ATMセル同期がとれるまでビットローテート信号 151 を出力する。

#### 【0046】

したがって、ビットローテート動作が終了した時点で出力ポート 51a から出力されるのは、固有ビットパターン 24 をモジュロ 2 加算して ATMセル同期がとれる信号、すなわち基準チャンネル信号 105 である。同時に、第 2 の出力ポート 51b からはチャンネル信号 102、第 3 の出力ポート 51c からはチャンネル信号 103、第 4 の出力ポート 51d からはチャンネル信号 104d が夫々出力される。

#### 【0047】

図 6 は図 5 の基準チャンネル検出回路 52 の構成を示すブロック図である。図において、基準チャンネル検出回路 52 は固有ビットパターン加算 CRC 演算回路 54 と、ATMセル同期カウンタ回路 55 と、固有ビットパターン加算回路 56 と、タイムアウトカウンタ回路 57 とを備えている。

#### 【0048】

基準チャンネル検出回路 52 に入力された信号は固有ビットパターン加算 CRC 演算回路 54 と固有ビットパターン加算回路 56 とに入力される。固有ビットパターン加算 CRC 演算回路 54 では固有ビットパターン 24 を HEC6～HEC1 ビット 26 にモジュロ 2 加算した CRC 演算を行い、CRC 演算が成立するタイミングを固有ビットパターン加算 CRC 演算結果 152 として ATMセル同期カウンタ回路 55 に出力する。

## 【0049】

A TMセル同期カウンタ回路 55 は同期保護回路を備えており、前方後方保護をかけながら A TMセル同期をとる。A TMセル同期がとれた場合には入力しているチャンネル信号が基準チャンネル信号 105 であると判断することができるので、A TMセル同期カウンタ回路 55 は基準チャンネル検出信号 153 を出力する。

## 【0050】

これと同時に、A TMセル同期カウンタ回路 55 は A TMセルに同期した A TMセル同期信号 154 を出力する。固有ビットパターン加算回路 56 はこの A TMセル同期信号 154 の位相に合わせて基準チャンネル信号 105 の HEC6 ~ HEC1 ビット 26 に固有ビットパターン 24 をモジュロ 2 加算し、チャンネル信号 101 に変換する。

## 【0051】

一方、タイムアウトカウンタ回路 57 は基準チャンネル検出信号 153 をモニタしており、基準チャンネル検出信号 153 が一定時間以上検出されない場合、ビットローテート信号 151 を出力する。

## 【0052】

尚、本実施例では固有ビットパターン設定端子 53 を設けて基準チャンネル検出回路 52 の外部から固有ビットパターン 24 を設定可能としている。したがって、複数の固有ビットパターン 24 を用いて基準チャンネルが複数個設定された場合でも、外部から特定の固有ビットパターン 24 を指定することで、特定の基準チャンネル信号を検出することができる。

## 【0053】

また、本実施例では CRC 演算前に固有ビットパターン 24 をモジュロ 2 加算するとしたが、CRC 演算後に固有ビットパターン 24 をモジュロ 2 加算し、しかる後に CRC 演算の成立を判定する構成をとることも可能である。

## 【0054】

図 7 は図 1 のチャンネル識別回路 5 の他の構成例を示すブロック図である。図において、チャンネル識別回路 5 はビットローテート機能付き分離回路 51-1 ~ 51-n と、基準チャンネル検出回路 52-1 ~ 52-n とを備えている。

## 【0055】

本構成例のチャネル識別回路5は第1～第4のチャネル信号101～104のHEC6～HEC1ビット26が夫々第1～第4の固有ビットパターン24a～24dによって変形された場合に用いている。

## 【0056】

すなわち、第1～第4のチャネル信号101～104は各々送信側において、第1～第4の固有ビットパターン24a～24dがモジュロ2加算され、第1～第4の基準チャネル信号105a～105dに変換された後に時分割多重されている。チャネル識別回路5に入力された時分割多重伝送信号110はn分岐（nは正の数）され、第1～第nのビットローテート機能付き分離回路51-1～51-nに夫々入力される。

## 【0057】

各ビットローテート機能付き分離回路51-1～51-nの後段には第1～第nの基準チャネル検出回路52-1～52-nが各々接続され、夫々出力ポートの1つ（図7では全ての第1の出力ポート51a-1～51a-n）をモニタしている。

## 【0058】

第1～第nの基準チャネル検出回路52-1～52-nには夫々の第1～第nの固有ビットパターン設定端子53-1～53-nを通して第1～第4の固有ビットパターン24a～24dのうちのいずれかが入力される。

## 【0059】

例えば、第1の基準チャネル検出回路52-1に第2の固有ビットパターン24bが入力された場合、第1の基準チャネル検出回路52-1の入力信号のHEC6～HEC1ビット26に第2の固有ビットパターン24bをモジュロ2加算し、ATMセル同期をとる。ATMセル同期がとれなかった時、第1の基準チャネル検出回路52-1はATMセル同期がとれるまで第1のビットローテート機能付き分離回路51-1の出力チャネル信号をインクリメントあるいはデクリメントさせる。

## 【0060】

ATMセル同期がとれた時、第2の基準チャネル信号105bは第2のチャネル信号102に変換されて第1の基準チャネル検出回路52-1から出力される。

#### 【0061】

このように、本構成では各基準チャネル検出回路52-1～52-nに入力する固定ビットパターンを変更することによって、所望のチャネル信号を選択して出力することができる。すなわち、本構成例のチャネル識別回路5はチャネル識別に加え、チャネル選択機能を同時に実現している。

#### 【0062】

尚、本実施例では時分割多重をビット多重としたが、バイト多重の場合も本発明は有効である。また、本実施例ではチャネルの数は4つと規定したが、それ以外のチャネル数でも本発明は適用可能である。

#### 【0063】

上記のように、複数のチャネルのうちの少なくとも1つがATMセルベースフローを収容し、該ATMセルベースフロー中のATMセルヘッダ内のHECバイトを送信側で固有の形に変形するで基準チャネルを設定し、受信側でその固有の形に変形されたATMセルを検出することで該基準チャネルを識別することによって、時分割多重伝送システムにおいてATMセルベースフローを基準としたチャネル識別機能を実現することができる。

#### 【0064】

このチャネル識別方式ではチャネル識別のための冗長な領域の付加を必要とせず、またATMセルベースフローの標準仕様を準拠することが可能である。したがって、汎用性のある回路や標準品の回路の採用を可能とし、低コストな装置によるシステムを構築することができる。

#### 【0065】

尚、請求項の記載に関連して本発明はさらに次の態様をとりうる。

#### 【0066】

(1) 少なくとも1つが非同期転送モードのセルベースフローを収容する複数のチャネルを時分割多重して伝送する時分割多重伝送システムであって、前記セ



ルベースフローを収容したチャンネルのセルヘッダに予め設定されかつ誤り検出訂正のための情報を示す H E C バイトを固有の形に変形して基準チャンネル信号に変換するチャンネル識別子付加手段と、前記基準チャンネル信号を含む各チャンネル信号を時分割多重して時分割多重伝送信号を生成して出力する多重化手段とを送信装置に有し、

前記送信装置から送信されてくる前記時分割多重伝送信号を時分割分離する複数の分離手段と、前記複数の分離手段各々で時分割分離されて生成される複数のチャンネル信号から前記 H E C バイトを持つ基準チャンネル信号を検出する複数の基準チャンネル検出手段とを受信装置に有することを特徴とする時分割多重伝送システム。

【0067】

(2) 前記チャンネル識別子付加手段は、前記 H E C バイトを基に前記チャンネルの同期をとる同期手段と、前記 H E C バイトに前記固有のビットパターンをモジュロ 2 加算するモジュロ 2 加算手段とを含むことを特徴とする (1) 記載の時分割多重伝送システム。

【0068】

(3) 前記複数の基準チャンネル検出手段各々は、対応する固有のビットパターンを入力する入力端子と、前記入力端子から入力される前記固有のビットパターンを前記 H E C バイトの位置にモジュロ 2 加算して巡回冗長検査演算を行うモジュロ 2 加算 C R C 演算手段とを含むことを特徴とする (2) 記載の時分割多重伝送システム。

【0069】

(4) 少なくとも 1 つが非同期転送モードのセルベースフローを収容する複数のチャンネルを時分割多重して伝送する時分割多重伝送システムのチャンネル識別方式であって、前記セルベースフローを収容したチャンネルのセルヘッダに予め設定されかつ誤り検出訂正のための情報を示す H E C バイトを送信側で固有の形に変形して基準チャンネルを設定し、受信側で前記固有の形に変形された前記 H E C バイトを持つ前記基準チャンネルを検出しかつその検出された基準チャンネルを基にチャンネル選択を行うようにしたことを特徴とするチャンネル識別方式。

## 【0070】

(5) 前記送信側で前記H E Cバイトに対して固有のビットパターンをモジュロ2加算するようにしたことを特徴とする(4)記載のチャンネル識別方式。

## 【0071】

(6) 前記受信側で前記セル同期の際に前記固有のビットパターンをモジュロ2加算されたH E Cバイトに対してセル同期をとることで基準チャンネルを識別するとともに、前記固有のビットパターンを変更して所望のチャンネルを選択するようにしたことを特徴とする(5)記載のチャンネル識別方式。

## 【0072】

## 【発明の効果】

以上説明したように本発明によれば、少なくとも1つが非同期転送モードのセルベースフローを収容する複数のチャンネルを時分割多重して伝送する時分割多重伝送システムにおいて、セルベースフローを収容したチャンネルのセルヘッダに予め設定されかつ伝送データの誤り検出訂正のための情報を示すH E Cバイトを送信側で固有の形に変形して基準チャンネルを設定し、受信側で固有の形に変形されたH E Cバイトを持つ基準チャンネルを検出することによって、新たな冗長領域を付加することなくかつチャンネルに収容されるA T Mセルベースフローの仕様に重大な変更をもたらすことのないチャンネル識別機能を実現することができるという効果がある。

## 【図面の簡単な説明】

## 【図1】

本発明の一実施例による時分割多重伝送システムの構成を示すブロック図である。

## 【図2】

図1の第1～第4のチャンネル信号の構成を示す図である。

## 【図3】

図1の基準チャンネル信号の構成を示す図である。

## 【図4】

図1のチャンネル識別子付加回路の構成を示すブロック図である。

【図 5】

図 1 のチャネル識別回路の構成を示すブロック図である。

【図 6】

図 5 の基準チャネル検出回路の構成を示すブロック図である。

【図 7】

図 1 のチャネル識別回路の他の構成例を示すブロック図である。

【図 8】

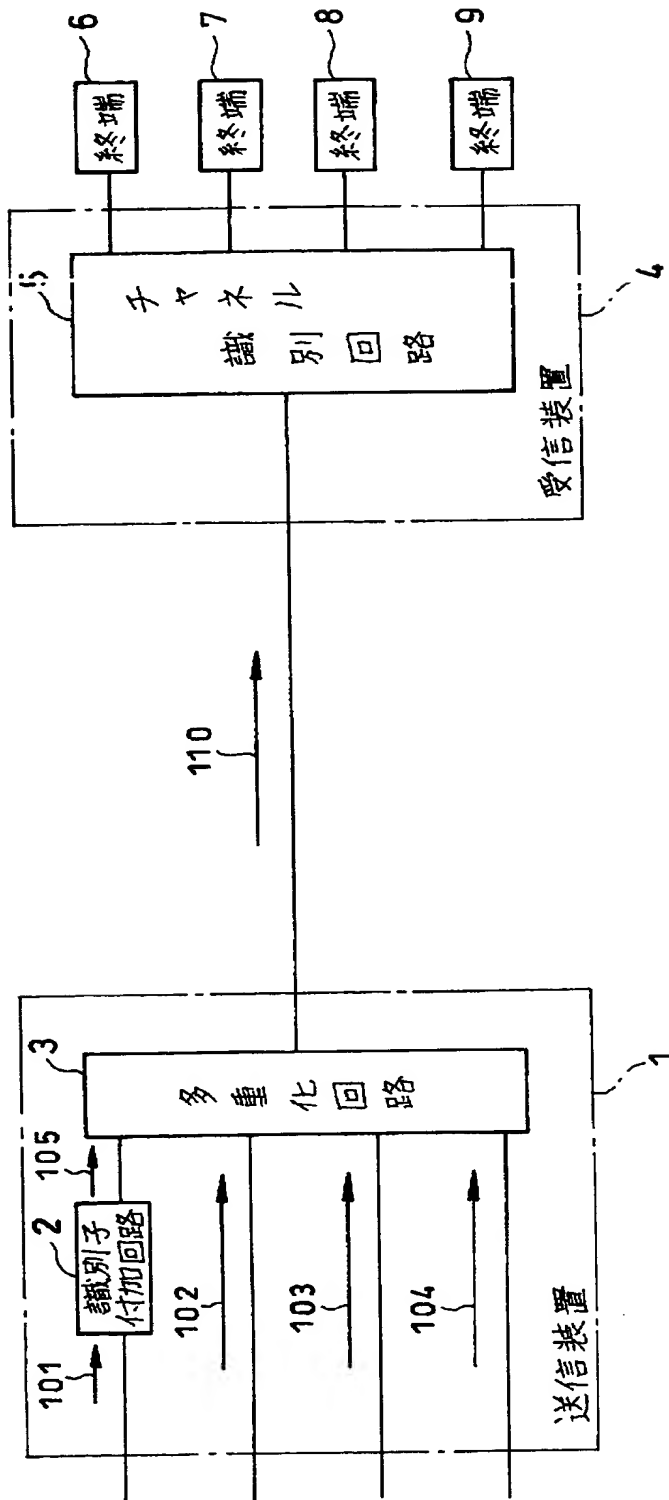
従来の時分割多重伝送システムの構成例を示すブロック図である。

【符号の説明】

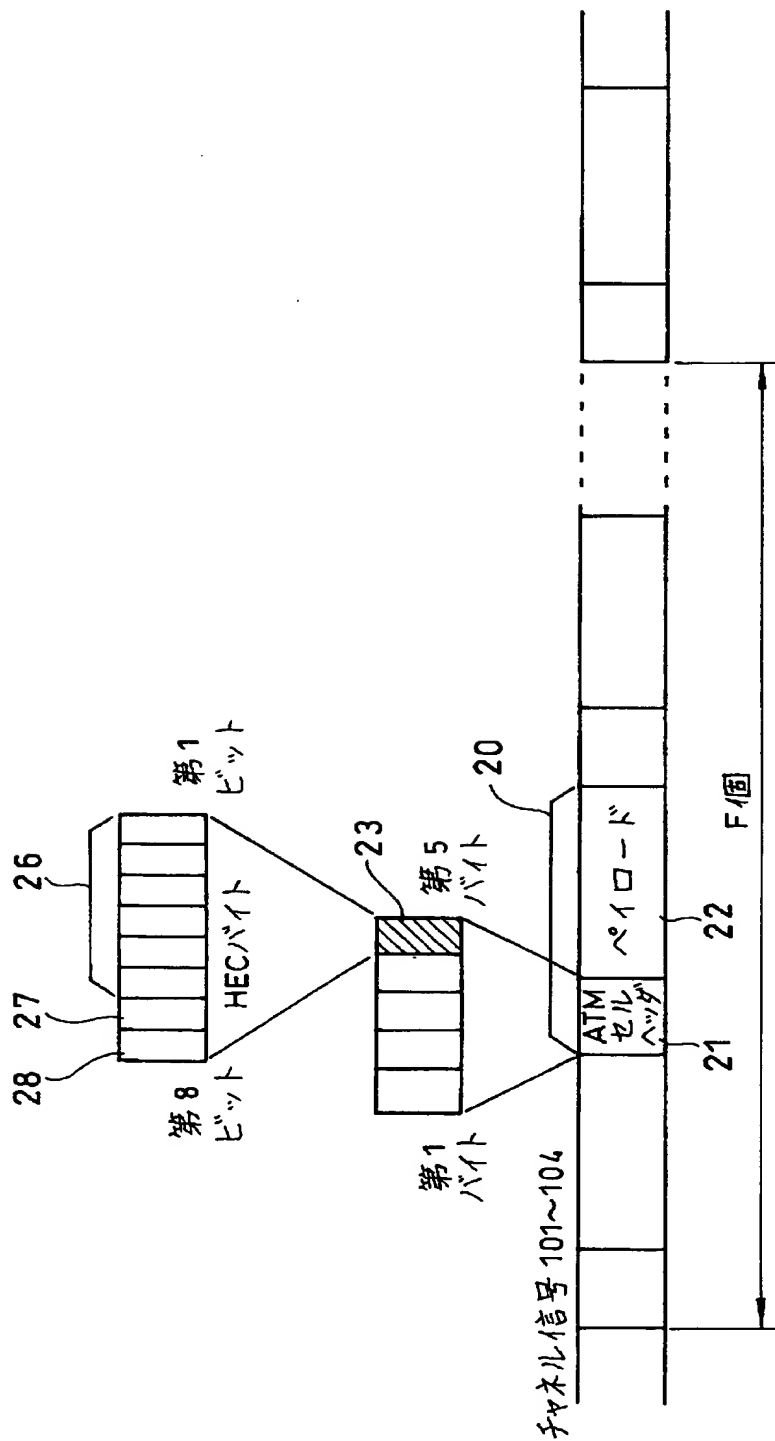
- 1 送信装置
- 2 チャネル識別子付加回路
- 3 多重化回路
- 4 受信装置
- 5 チャネル識別回路
- 6～9 終端回路
- 31 ATMセル同期回路
- 32 モジュロ 2 加算回路
- 51,
- 51-1～51-n ビットローテート機能付き分離回路
- 52,
- 52-1～52-n 基準チャネル検出回路
- 53,
- 53-1～53-n 固有ビットパターン設定端子
- 54 固有ビットパターン加算CRC演算回路
- 55 ATMセル同期カウンタ回路
- 56 固有ビットパターン加算回路
- 57 タイムアウトカウンタ回路

【書類名】 図面

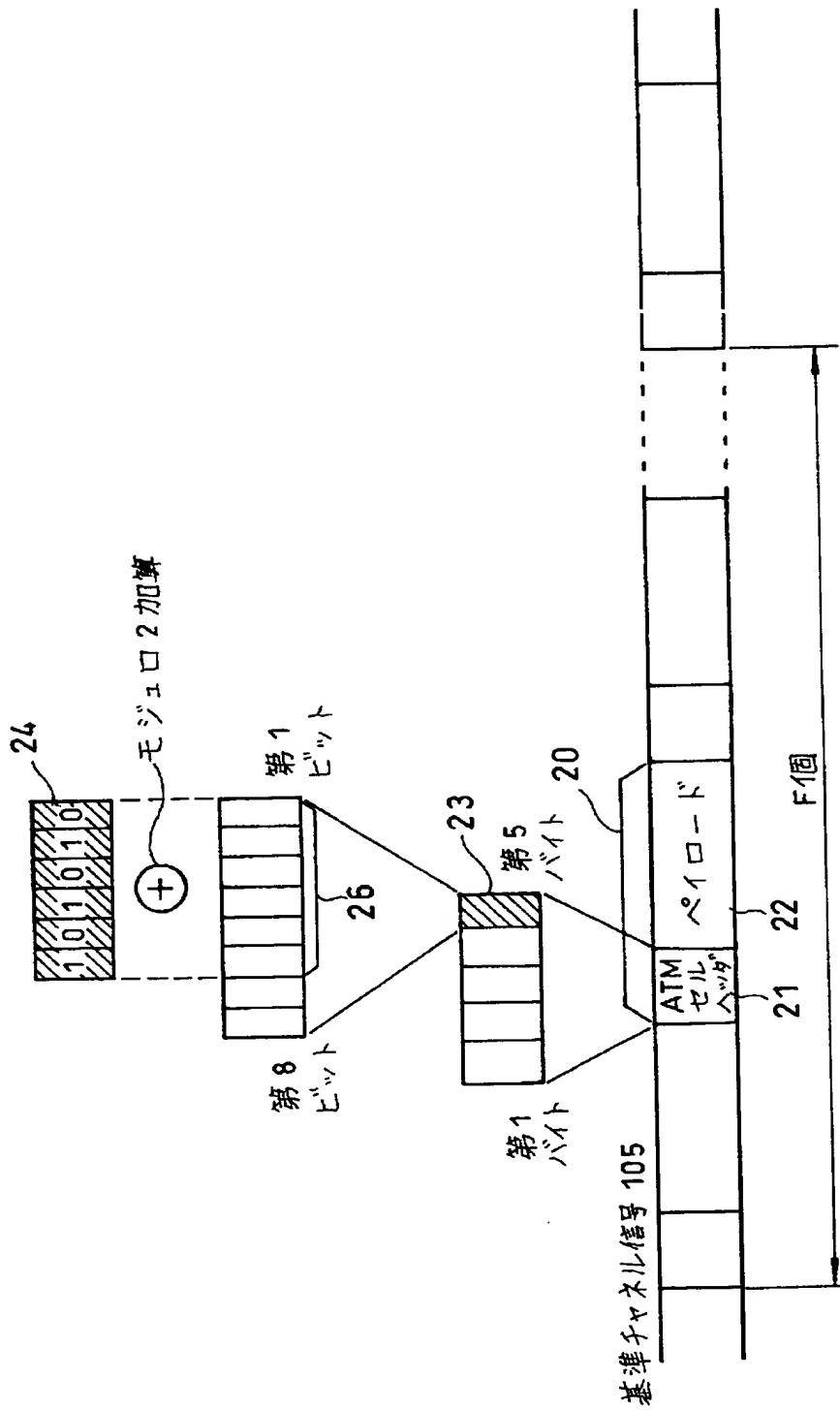
【図 1】



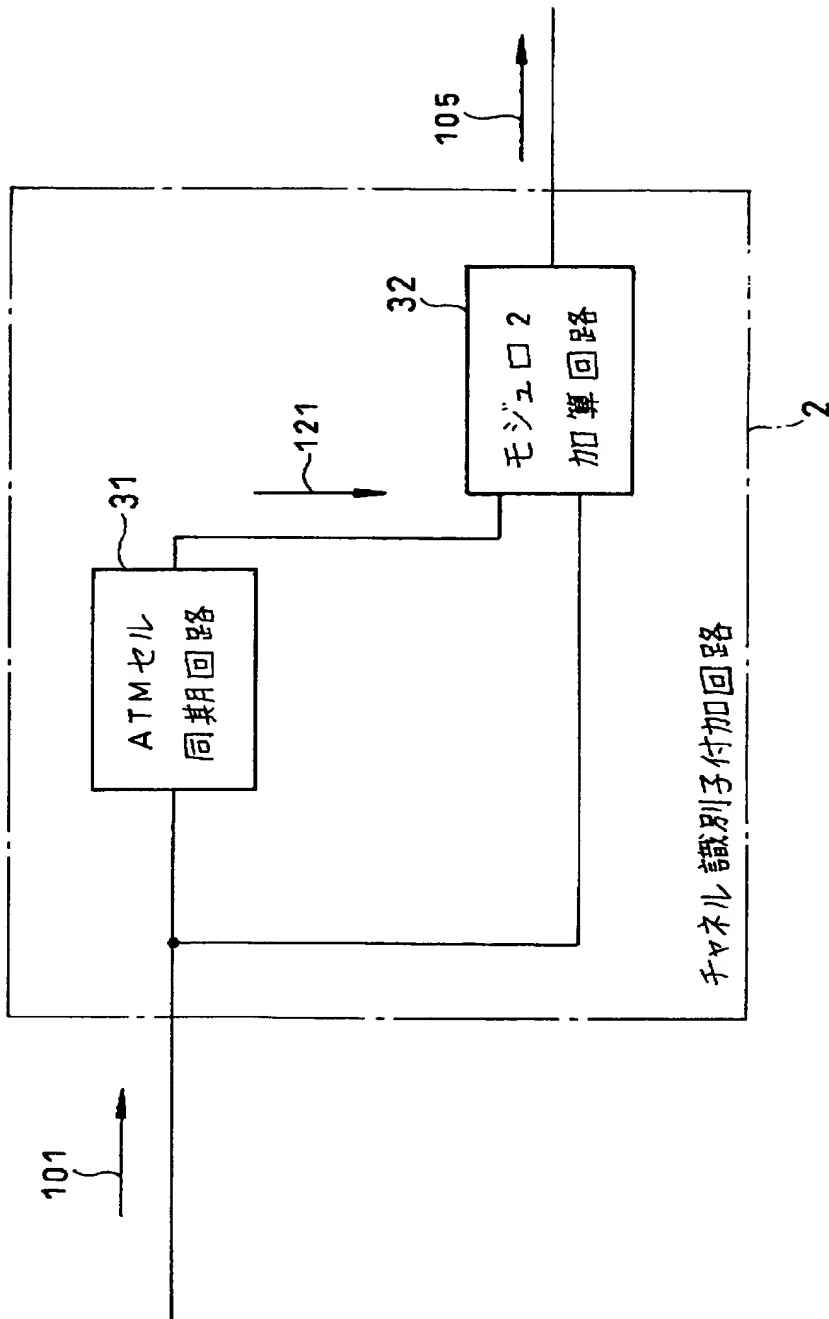
【図 2】



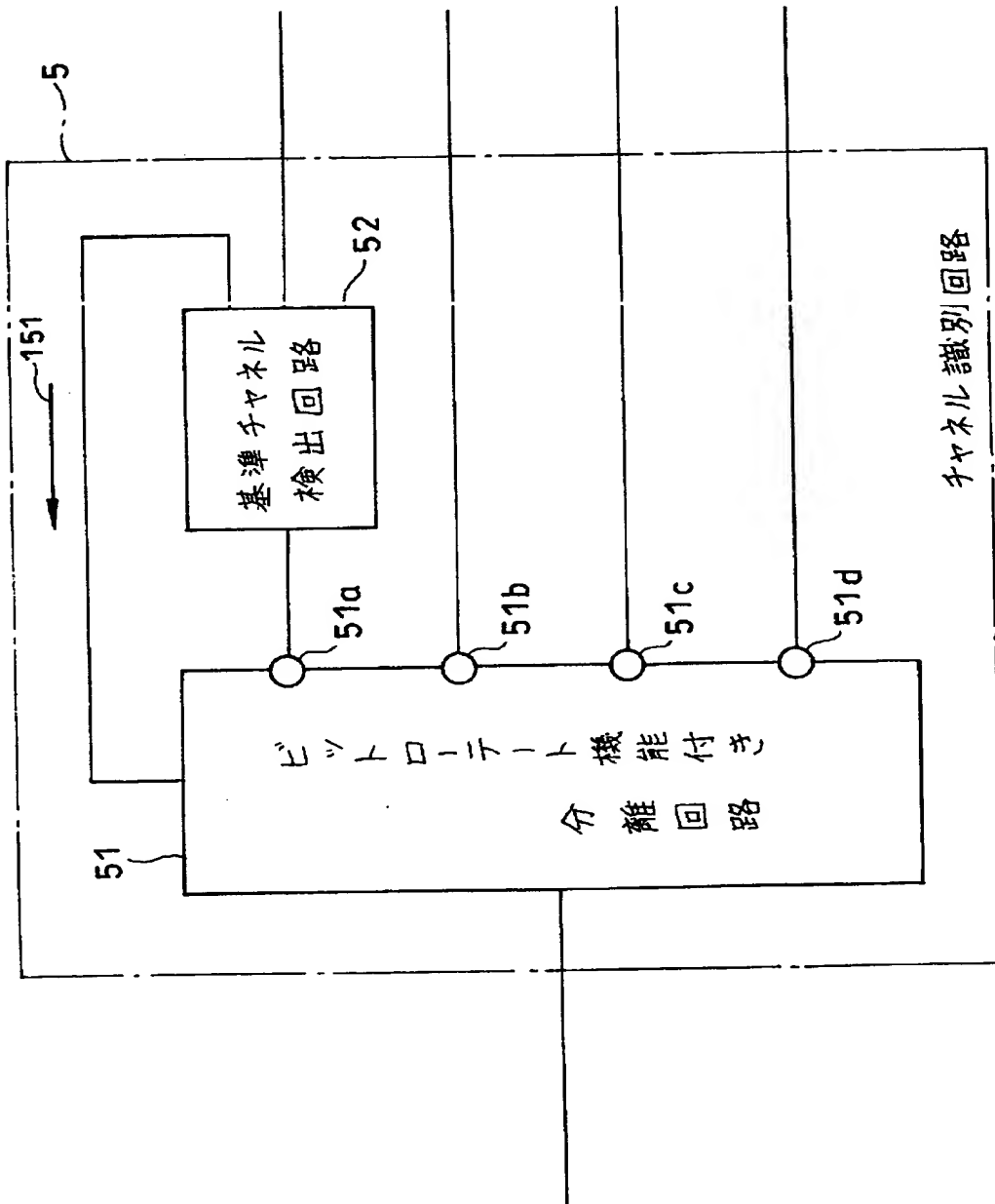
【図3】



【図 4】

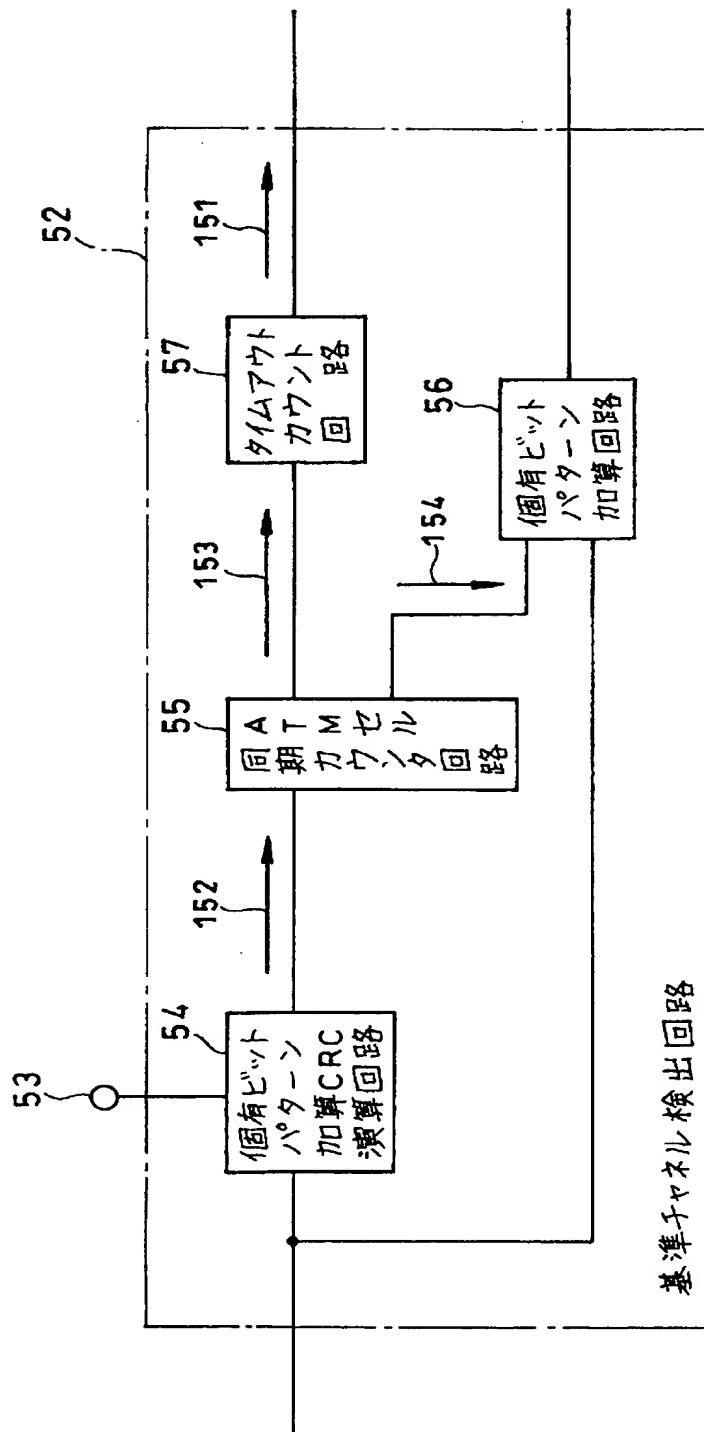


【図 5】

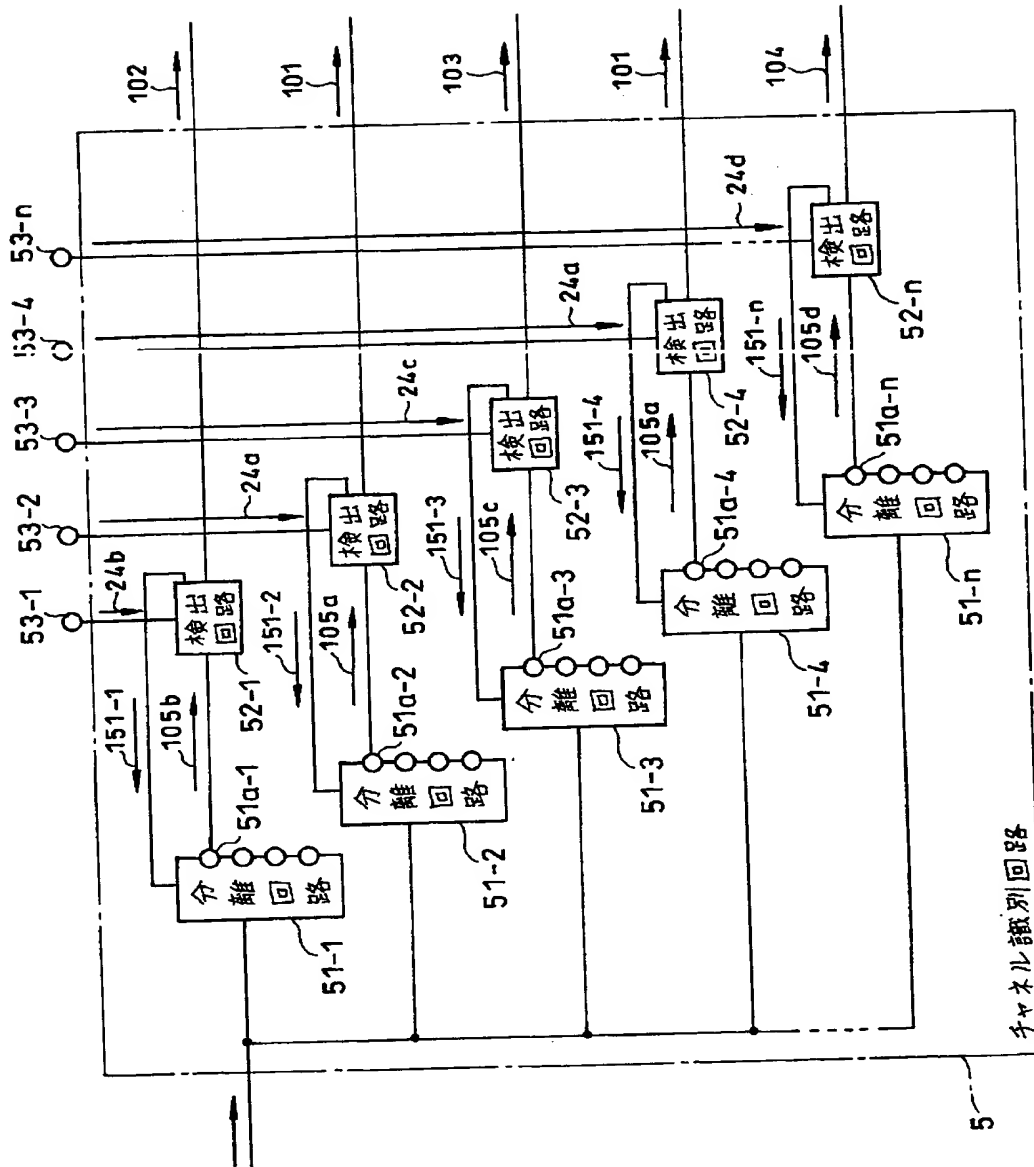




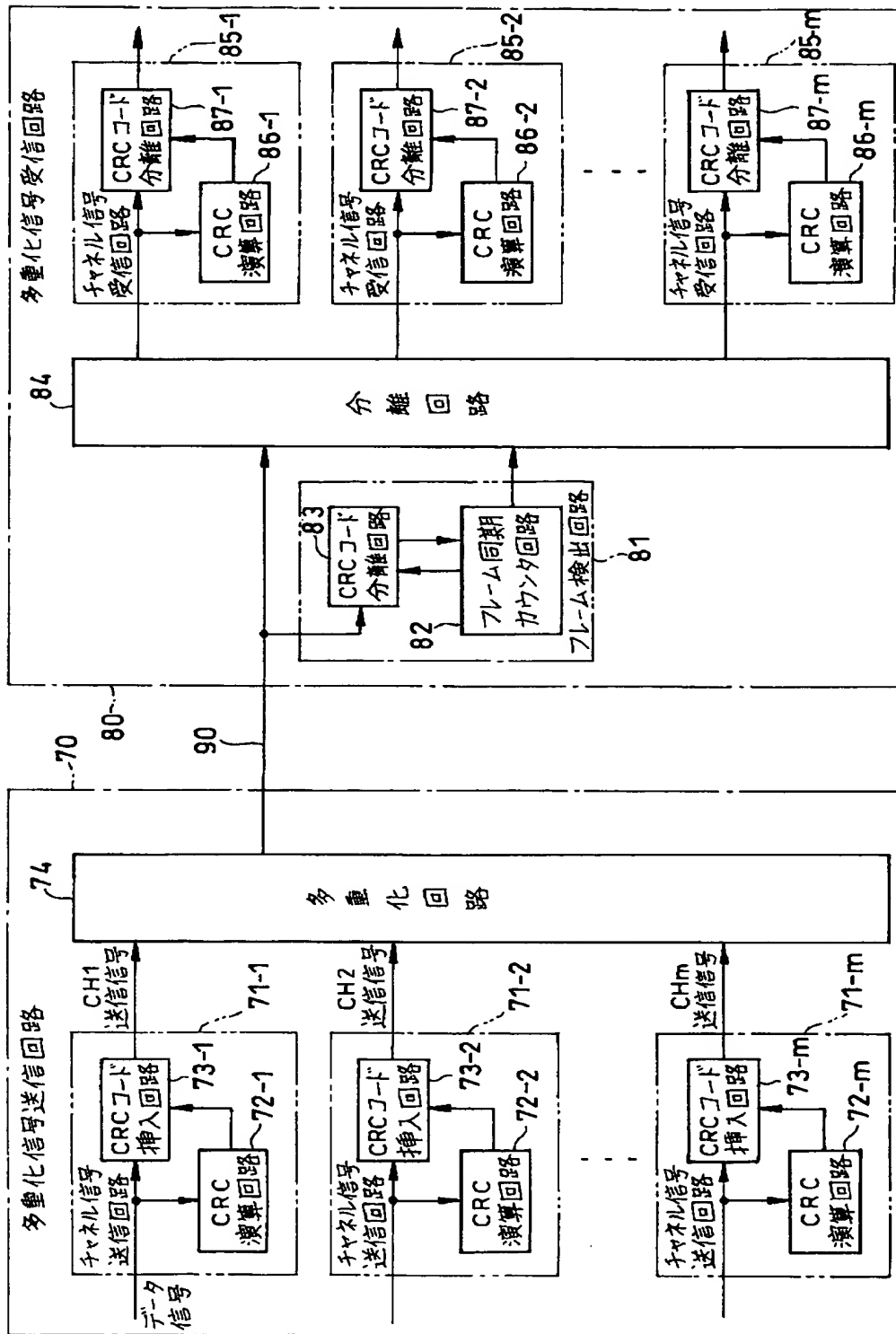
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 新たな冗長領域を付加することなくかつチャンネルに収容される A T M セルベースフローの仕様に重大な変更をもたらすことのないチャンネル識別機能を実現可能な時分割多重伝送システムを提供する。

【解決手段】 送信装置 1 のチャンネル識別子付加回路 2 は第 1 のチャンネル信号の A T M セルヘッダの H E C バイト部分に固有のビットパターンをモジュロ 2 加算し、基準チャンネル信号を生成する。多重化回路 3 は基準チャンネル信号と他のチャンネル信号とを時分割ビット多重して時分割多重伝送信号として送出する。受信装置 4 のチャンネル識別回路 5 は時分割多重伝送信号を時分割ビット分離して各チャンネル信号を取出す。チャンネル識別回路 5 はこれらのチャンネル信号の中から基準チャンネル信号を検出し、基準チャンネル信号との時分割多重伝送信号内での位相差から全てのチャンネル信号を識別し、終端回路 6 ～ 9 に出力する。

【選択図】 図 1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000004237

【住所又は居所】

東京都港区芝五丁目7番1号

【氏名又は名称】

日本電気株式会社

【代理人】

申請人

【識別番号】

100088812

【住所又は居所】

神奈川県横浜市神奈川区鶴屋町3丁目35番地11

西東ビル202号 柳川特許事務所

【氏名又は名称】

▲柳▼川 信

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社